

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208698
(43)Date of publication of application : 28.07.2000

(51)Int.CI. H01L 25/065
H01L 25/07
H01L 25/18

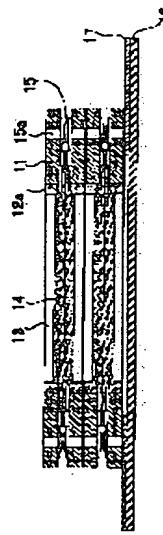
(21)Application number : 11-009763 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 18.01.1999 (72)Inventor : ASADA JUNICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the strength of stacked packages to prevent the packages from being cracked due to bending load by connecting the predetermined electrode of a sealed semiconductor package with the upper and lower packages by means of conductors, after connecting the wiring layer of an interposer with the electrodes of a thin silicon chip.

SOLUTION: Packages of the same are stacked reversely, which enables a silicon chip 13 and interposer of each stage to be related as object and mirror image. The packages are stacked back on back and aligned on a mounting board 16. Thus, the hole of a connecting land 15 of each stage passes through a mounting wiring layer 17 on the mounting board 16. The through hole is then filled with a conductive adhesive 15a, and it is cured, which enables the connecting land 15 of each package, to be electrically connected with the wiring layer 17. A semiconductor device is constructed so that the addresses of the thin silicon chip 13 are selected, depending on where or not a supply voltage is supplied to some pins in order to stack the packages, which allows each stacked thin silicon chip 13 to operate independently.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-208698
(P2000-208698A)

(43)公開日 平成12年7月28日(2000.7.28)

(51) Int.Cl.
H 0 1 L 25/065
25/07
25/18

識別記号

F I
H O L L 25/08

テーマコード*(参考)

(21) 出願番号 特願平11-9763

(22) 出願日 平成11年1月18日(1999.1.18)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 春明者 浅田 順一

神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

(74) 代理人 100083806

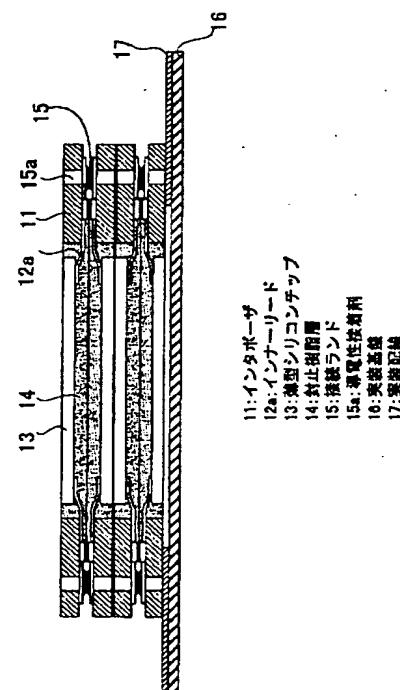
弁理士 三好 秀和 (外7名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 パッケージの積層状態での強度を高くし、曲げ方向の荷重に対してパッケージ割れの発生を防ぐことができる半導体装置を提供する。

【解決手段】 配線層が形成されたインターポーザの前記配線層と薄型シリコンチップの電極部とを異方性導電膜を用いて電気的及び機械的に接続し、前記インターポーザの前記配線層を前記薄型シリコンチップの外側へ導出した半導体パッケージが実装基板上に複数個積層された構造を有する半導体装置であって、前記各半導体パッケージは、前記薄型シリコンチップ表面を表裏反対にして積層し、所定の電極を導電体でそれぞれ電気的に接続する。



1

【特許請求の範囲】

【請求項1】 配線層が形成されたインターボーザの厚さより薄い薄型シリコンチップを、該薄型シリコンチップより大きい穴を有した前記インターボーザの前記穴に配置して、前記薄型シリコンチップの電極と前記インターボーザの配線層とを電気的に接続した後封止した半導体パッケージが実装基板上に複数個積層された構造を有する半導体装置であって、前記半導体パッケージの所定の電極を、それぞれ上下段の半導体パッケージ間で導電対にて接続したことを特徴とする半導体装置。

【請求項2】 前記薄型シリコンチップの電極と前記インターボーザの配線層とは、TAB接続法またはワイヤボンディング法によって接続したことを特徴とする請求項1記載の半導体装置。

【請求項3】 配線層が形成されたインターボーザの前記配線層と薄型シリコンチップの電極部とを異方性導電膜を用いて電気的及び機械的に接続し、前記インターボーザの前記配線層を前記薄型シリコンチップの外側へ導出した半導体パッケージが実装基板上に複数個積層された構造を有する半導体装置であって、前記半導体パッケージの所定の電極を、それぞれ上下段の半導体パッケージ間で導電体にて接続したことを特徴とする半導体装置。

【請求項4】 前記各半導体パッケージは、前記薄型シリコンチップ表面を表裏反対にして積層し、所定の電極をそれぞれ電気的に接続したことを特徴とする請求項1乃至請求項3記載の半導体装置。

【請求項5】 前記各半導体パッケージは、位置を平面方向にずらして積層し、所定の電極をそれぞれ電気的に接続したことを特徴とする請求項1乃至請求項3記載の半導体装置。

【請求項6】 前記半導体パッケージは、電気的に接続しない電極に対応した前記配線層を、積層前にパッケージの状態で切断したことを特徴とする請求項1乃至請求項5記載の半導体装置。

【請求項7】 前記薄型シリコンチップの厚さは $30\mu\text{m}$ から $120\mu\text{m}$ の範囲内とし、前記半導体パッケージの厚さは、前記薄型シリコンチップの厚さの4倍以内としたことを特徴とする請求項1乃至請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄型の半導体パッケージを積層した半導体装置に関する。

【0002】

【従来の技術】 従来、この種の分野の技術としては、例えば図13に示すようなものがあった。

【0003】 図13は、従来の半導体パッケージを積層した半導体装置の断面構造図である。

【0004】 この半導体装置は、高さ制約があるスペー

2

スに、TCP (Tape Carrier Package) で2段に積層した構造になっている。

【0005】 各段の半導体パッケージ (TCP) の構造を説明すると、図中の符号101は、絶縁性基材としてのポリイミド樹脂フィルムであり、その片面にはCu配線層102が形成されている。Cu配線層102の一端部はインナーリード103に接合され、このインナーリード103がシリコンチップ104の電極端子に接合されている。さらに、絶縁性基材101とシリコンチップ104とが絶縁性接着剤 (図示省略) によって接着され、前記インナーリード103を含むシリコンチップ104の上部周辺がエポキシ等の封止樹脂層105で封止されている。

【0006】 このような従来構造の半導体パッケージは、シリコンチップ104の厚さが $200\mu\text{m}$ 程度でパッケージ厚が $500\mu\text{m}$ 程度以上になる。このため、パッケージの曲げ強度も比較的強く、曲げによるパッケージ割れの可能性がほとんどない。

【0007】 しかし、実装面からの高さが厚くなるため、携帯機器などの小型化、軽量化等に伴う近年のパッケージの薄型化の要求に、十分満足できるものになっていなかった。

【0008】 そこで、近年では半導体パッケージの厚みを一層薄くすることが試されている。例えば、本願出願人は、特願平10-63135で、厚さが絶縁性基材よりも薄い薄型シリコンチップを使用し、この薄型シリコンチップが絶縁性基材のデバイスホールに完全に埋め込まれた形状の半導体装置を提案している。この半導体装置の概略断面構造図を図14に示す。

【0009】 この半導体装置は、デバイスホール204を有するポリイミド樹脂フィルム等の絶縁性基材201を備え、その片面にはCu配線層202が形成されている。Cu配線層202の一端はインナーリード203として構成され、このインナーリード203が薄型シリコンチップ205の電極端子に接合されている。この薄型シリコンチップ205の厚さは、前記絶縁性基材201の厚さよりも薄い例えば $30\mu\text{m}$ ～ $120\mu\text{m}$ 程度の極薄であり、前記デバイスホール204内においてインナーリード203を含む薄型シリコンチップ205がエポキシ等の樹脂206で封止されて埋め込まれている。

【0010】 このような薄いシリコンチップを搭載して半導体パッケージを構成した場合では、パッケージ全体の厚みを $200\mu\text{m}$ 以下と極めて薄くすることができる。

【0011】

【発明が解決しようとする課題】 しかしながら、図14に示した半導体装置の構造を適用してパッケージ全体の厚みを $200\mu\text{m}$ 以下と極めて薄く構成した場合には、パッケージ自体の強度が弱いため、図13に示すよ

うな従来型の積層構造では実装状態でも曲げ方向に荷重が加わったときに、パッケージ割れが発生するという問題があった。

【0012】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、パッケージの積層状態での強度を高くし、曲げ方向の荷重に対してパッケージ割れの発生を防ぐことができる半導体装置を提供することである。

【0013】

【課題を解決するための手段】上記目的を達成するため、請求項1に係る発明の特徴は、配線層が形成されたインターポーザの厚さより薄い薄型シリコンチップを、該薄型シリコンチップより大きい穴を有した前記インターポーザの前記穴に配置して、前記薄型シリコンチップの電極と前記インターポーザの配線層とを電気的に接続した後封止した半導体パッケージが実装基板上に複数個積層された構造を有する半導体装置であって、前記半導体パッケージの所定の電極を、それぞれ上下段の半導体パッケージ間で導電体にて接続したことがある。

【0014】請求項2に係る発明の特徴は、請求項1記載の発明において、前記薄型シリコンチップの電極と前記インターポーザの配線層とは、TAB接続法またはワイヤボンディング法によって接続したことがある。

【0015】請求項3に係る発明の特徴は、配線層が形成されたインターポーザの前記配線層と薄型シリコンチップの電極部とを異方性導電膜を用いて電気的及び機械的に接続し、前記インターポーザの前記配線層を前記薄型シリコンチップの外側へ導出した半導体パッケージが実装基板上に複数個積層された構造を有する半導体装置であって、前記半導体パッケージの所定の電極を、それぞれ上下段の半導体パッケージ間で導電体にて接続したことがある。

【0016】請求項4に係る発明の特徴は、請求項1乃至請求項3記載の発明において、前記各半導体パッケージは、前記薄型シリコンチップ表面を表裏反対にして積層し、所定の電極をそれぞれ電気的に接続したことがある。

【0017】請求項5に係る発明の特徴は、請求項1乃至請求項3記載の発明において、前記各半導体パッケージは、位置を平面方向にずらして積層し、所定の電極をそれぞれ電気的に接続したことがある。

【0018】請求項6に係る発明の特徴は、請求項1乃至請求項5記載の発明において、前記半導体パッケージは、電気的に接続しない電極に対応した前記配線層を、積層前にパッケージの状態で切断したことがある。

【0019】請求項7に係る発明の特徴は、請求項1乃至請求項6記載の発明において、前記薄型シリコンチップの厚さは30μmから120μmの範囲内とし、前記半導体パッケージの厚さは、前記薄型シリコンチップの厚さの4倍以内としたことがある。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0021】図1は、本発明の第1実施形態に係る半導体装置の断面構造図であり、図2は、図1の半導体装置にスタック搭載された半導体パッケージの単体の断面構造図である。

【0022】まず図2において、この半導体パッケージは、中央部にデバイスホール11aを有する厚さ例えば

10. 75 [μm] の絶縁性樹脂フィルム（例えばポリイミド樹脂フィルム）11を備えている。この絶縁性樹脂フィルム11の片面に、厚さ例えば18 [μm] のCu配線層12が、接着剤11bで接着された銅箔のフォトエッチング処理等により形成されている。

【0023】また、このCu配線層12の端部がデバイスホール11aに突出し、インナーリード12a群を構成している。さらに、インナーリード12aの先端部には、電極端子との接続を容易にするために、Au（金）等のメッキ（図示を省略）が施されている。

【0024】そして、このような構成のインターポーザ（例えばTABテープ）の前記デバイスホール11a内には、絶縁性樹脂フィルム11の厚さよりも薄い（従って、インターポーザの厚さよりも薄い）シリコンチップ13が収納されている。すなわち、各辺がデバイスホール11aの対応する辺より小さく、厚さ例えば50 [μm] のシリコンチップ13が、フェースアップに配置されてデバイスホール11a内に埋め込まれており、このシリコンチップ13の各電極端子とインナーリード12aとが、加熱・加圧により接合（ILB）されている。

【0025】インターポーザは、TABテープのほかにフレキシブル基板やリジットの基板（例えばFR-4）を使用しても良い。また、インターポーザとチップの接続はバンプ付きのビームリード、またはワイヤボンディングを用いても良い。

【0026】このようにデバイスホール11a内に埋め込まれたシリコンチップ13の電極端子形成面、及び電極端子とインナーリード12aとの接合部の外側には、封止樹脂層14が形成されている。また、Cu配線層12には接続用ランド15が接続されている。

【0027】かかる構造の薄型パッケージは、パッケージ総厚が例えば200 [μm] と非常に薄く、この薄型パッケージをチップ面に垂直な方向に積層する場合において、本実施形態では、図1に示すように積層する上下段のパッケージを背中合わせにして（つまりパッケージを表面と裏面を反対にして）積層する。

【0028】具体的には、同機能のパッケージを表面と裏面を反対にして積層し、且つ同電位のピンを平面上では同じ位置に導出するために、各段のシリコンチップ13及びインターポーザが、共にミラー対象（図3参照）

5

のものを用意する。なお、シリコンチップ及び配線のいづれかのみで対応することも可能である。

【0029】そして、実装基板16上に、図1に示すように積層する上下段のパッケージを背中合わせにして積み重ねて位置合わせする。すると、各段の接続用ランド15のホールが実装基板16表面上の実装配線層17まで貫通した状態となる。この状態で、当該貫通ホールに導電性接着剤15aを埋め込み硬化させて、各段パッケージの接続用ランド15と実装基板16の実装配線層17とを電気的に接続すれば、図1に示すような構造の半導体装置が完成する。

【0030】また、パッケージを積層する目的の1つとして、例えばメモリの容量を増すことが挙げられる。この場合、すべてのピンが同電位では同一の動作となり意味がないので、一部のピンに電源電圧を加えるか否かで薄型シリコンチップ13のアドレスを選択し、積層した各薄型シリコンチップ13が独立して動作するように構成する。

【0031】これを実現するため、電源電圧の印加を選択する（印加するかしないか）ピンには予め配線をしておき、図5のCTに示すように印加しないピンのインターポーラー上の配線層12を積層直前に打ち抜いて断線させるようにする。その結果、本実施形態のようにパッケージを4段に積層した場合では、電源電圧の印加を選択するピンを2本設定しておき、これに対応する配線層12の断線処理において、断線した場合を“0”、断線しない場合を“1”とすれば、各段のパッケージにそれぞれ“0, 0”、“0, 1”、“1, 0”、“1, 1”的アドレスデータを設定することができる。

【0032】また、積層直前に、配線層12を打ち抜いて断線させるため、パッケージの製造段階では1種類のパッケージとして取り扱うことができる。

【0033】本実施形態は、上述したような薄型パッケージの積層構造を探るので次のようない点がある。

【0034】（1）例えば、インターポーラーの平面を表す図4に示すラインL付近のように、絶縁性樹脂フィルム11をベースとするインターポーラー上で配線が横切っていない部分が有ると、パッケージにおいて曲げやねじりに対して弱い部分が発生することがある。また、チップのヒューズ部分が集中する場合でも同様にパッケージにおいて強度が弱い部分が発生することがある。厚さが等倍で薄くなった場合、単純計算では曲げ強度は厚さの2乗に反比例するので、従来の例えば500 [μm] のパッケージに比べて200 [μm] のパッケージ厚のものは、強度は1/6, 2.5である。本実施形態では、表面と裏面を反対にして薄型パッケージを積層したので、例えばパッケージの長手方向を横切る線上（図4のL）のように薄型パッケージとして弱い部分を同一投影面上に重ねることなく積層することができる。その結果、積層した状態での強度が増し、曲げやねじりに対して弱い

6

部分を補強することができる。

【0035】（2）本実施形態の半導体装置では、50 [μm] 程度の薄型シリコンチップを搭載した200 [μm] 以下の薄型パッケージを積層したので、著しく集積度が向上し、例えばデジタルカメラのメディアカードに適用すれば、小型であってもメモリ容量の大きいメディアカードを実現することができる。なお、この利点を好適に実現するには、薄型シリコンチップ13の厚さは30 μm から120 μm の範囲内であればよく、半導体パッケージの厚さは、薄型シリコンチップの厚さの4倍以内に設定すればよい。

【0036】（3）本実施形態の半導体パッケージでは、インターポーラーよりも薄いシリコンチップ13を使用したので、チップエッジにインナーリード12aが接触して発生するリークによる不良を防ぐことができる。

【0037】次に、図1に示した薄型シリコンチップ13の製造方法について説明する。

【0038】この薄型シリコンチップ13の製造方法は、半導体素子が形成されたウェーハのダイシングラインに沿って、上記半導体素子の形成面側から完成時のシリコンチップの厚さよりも深い溝を形成する溝形成工程と、上記ウェーハにおける半導体素子の形成面上に保持用のシートを貼り付けるシート貼り付け工程と、上記ウェーハの裏面を上記完成時のシリコンチップの厚さまで研削及び研磨する研削・研磨工程と、ウェーハを個々のシリコンチップに分離するシリコンチップ分離工程とかなる。以下、この薄型シリコンチップ13の製造方法を図6（a）, (b), (c) と図7（d）を参照して具体的に説明する。

【0039】まず、溝形成工程では、図6（a）に示すように、半導体素子が形成されたウェーハ21をパターン形成面21'側を上にして、ダイシング装置の作業テーブル23に吸着固定する。そして、ダイシング用ブレード24を回転させて、完成時のシリコンチップの厚さ（例えば50 [μm] よりも少なくとも5 [μm] 程度深い溝22を形成する。

【0040】次のシート貼り付け工程では、図6（b）に示すように、フラットリング25を表面保護テープ26に貼り付けて、この表面保護テープ26の皺などを除去した状態で、溝22を形成したウェーハ21のパターン形成面21'を表面保護テープ26の接着剤側に貼り付け固定する。

【0041】続く研削・研磨工程では、例えばインフィード研削法を用いてウェーハ21の裏面を削る。すなわち、図6（c）に示すように、フラットリング25と表面保護テープ26とで保持されたウェーハ21を、研削装置の作業テーブル27に吸着固定する。そして、作業テーブル21と砥石28を回転させて、砥石28を押し当てながらウェーハ21の裏面を研削する。上記ウェーハ21の裏面を溝22に達するまで研削すると、ウェー

50

ハ21は個々のシリコンチップに分割される。この研削及び研磨量は、完成時のシリコンチップの厚さ（例えば50 [μm]）を考慮して設定される。

【0042】そして、シリコンチップ分離工程では、図7 (d) に示すように、分割された個々のシリコンチップ13が接着固定されているフラットリング25をダイボンディング装置に設置し、ピックアップニードル等のツール30を用いて表面保護テープ26越しにパターン形成面22下方に圧力をかける。すると、シリコンチップ13が表面保護テープ26から剥離される。かようにして、例えば50 [μm] の厚みの薄型シリコンチップ13が完成し、この薄型シリコンチップ13は、上記図2に示した本実施形態の半導体パッケージに使用されることになる。

【0043】次に、図8 (a), (b), (c) を参照して、上記図2に示した薄型パッケージの製造方法について説明する。

【0044】まず、図8 (a) に示すように、中央部にデバイスホール11aを有する厚さ75 [μm] の絶縁性樹脂フィルム（例えばポリイミド樹脂フィルム）11の片面に、厚さ18 [μm] のCu配線層12が銅箔のフォトエッチング等によって形成されたインターポーザを用意する。ここで、インナーリード12aを構成するCu配線層12の端部は、デバイスホール11a側に突出した形状を成し、さらに、インナーリード12aの先端部は、電極端子との接続を容易にするために、Auメッキを施しておく。なお、絶縁性樹脂フィルム11の厚みは例えば75 [μm] 、Cu配線層12の厚みは例えば18 [μm] とする。

【0045】次に、図8 (b) に示すように、上記のインターポーザをテーブルに乗せ、デバイスホール11a内にフェースアップで上記の薄型シリコンチップ13を載置する。これによって、シリコンチップ13の裏面とインターポーザの裏面が位置が一致する。そして、このシリコンチップ13の各電極端子とインナーリード12aとを、ボンディングツール40を使用してシングルポイントボンディング法により接合する。

【0046】続く工程では、かようにデバイスホール11a内に載置されたシリコンチップ13の電極端子形成面、及び電極端子とインナーリード12aとの接合部の外側周辺部分を樹脂封止する。

【0047】そのために、まず、スクリーン印刷法を用いて封止樹脂14を塗布する。具体的には、図8 (c) に示すように、前工程でシリコンチップ13が搭載されたインターポーザ上に、前記樹脂封止部分に対応した形状にパターンニングされたメタルマスク（ステンシルスクリーン）50をセットする。そして、この状態で、上部から液状の封止樹脂14を塗布した後、メタルマスク50面全体に対してスキージ51を移動することにより、メタルマスク50を通して封止樹脂14をこすり出

す。その結果、封止樹脂14は、メタルマスク50を通過してインターポーザの前記所望の場所に転写される。

【0048】次いで、液状の封止樹脂14を硬化させるため、加熱処理（キュア）を行う。このときのキュア条件としては、例えば100°Cの雰囲気中で1時間、その後再び160°Cの雰囲気中で2時間とする。これによって、液状の封止樹脂14が硬化し、厚さ例えば50 [μm] のシリコンチップ13が、フェースアップで配置されてデバイスホール11a内に埋め込まれた状態となる。

【0049】この段階では、連続テープのインターポーザ上にパッケージが連続して形成された状態にあるので、これを個々のパッケージに切り落とせば、図2の構造の薄型パッケージが完成する。

【0050】本実施形態では、樹脂封止にスクリーン印刷法を用いたが、例えばポッティング法や、ラミネート法であっても良い。

【0051】【第2実施形態】図9は、本発明の第2実施形態に係る半導体装置の断面構造図であり、図10は、図9の半導体装置にスタック搭載された半導体パッケージの単体の断面構造図である。

【0052】まず図10において、この半導体パッケージは、Cu配線層61を有するインターポーザ60と薄型シリコンチップ13（第1実施形態で使用したものと同じ）の電極部を、異方性導電膜62を用いて電気的及び機械的に接続した構造になっている。具体的には、インターポーザとして、Cu配線61が片面に配された絶縁性樹脂フィルム（例えばポリイミド樹脂フィルム）60を備えている。Cu配線61の厚さは例えば18 [μm] 、絶縁性樹脂フィルム60の厚さは例えば75 [μm] となっている。

【0053】このような構成のインターポーザ（例えばTABテープ）60の中央部には、厚みが例えば50 [μm] の薄型シリコンチップ13が搭載されている。すなわち、インターポーザ60のCu配線61と薄型シリコンチップ13のAu（金）バンプ13aなどがACF樹脂等の異方性導電膜62によってフリップチップ構造で接続されている。そして、インターポーザ60のCu配線層61は、薄型シリコンチップ13の外側へ導出されて、接続用ランド61aが形成されている。

【0054】かかる構造の半導体パッケージは、次のようにして製造する。

【0055】次に、図11 (a), (b), (c), (d) を参照して、上記図10に示した薄型パッケージの製造方法について説明する。

【0056】まず図11 (a) に示すように、インターポーザとして、厚みが例えば75 [μm] 程度のテープ状の絶縁性樹脂フィルム（例えばポリイミド樹脂フィルム）60を使用し、その表面上に厚み18 [μm] のCu配線61を例えばフォトエッチング法を用いてパター

ンニングする。

【0057】次の工程では、図11 (b) に示すように、前工程のCu配線61のパターンニングにおいて形成されたチップ搭載用の開口部60'に、接続用樹脂であるACF樹脂（あるいはACP樹脂でもよい）62をポッティング法などにより塗布する。

【0058】続く工程では、図11 (c) に示すように、インターポーラ60側のCu配線層61と薄型シリコンチップ13側のAuバング13aとの位置合わせを行い、熱圧着して薄型シリコンチップ13をインターポーラ60上に搭載する。

【0059】この段階では、連続テープ状のインターポーラ60上にパッケージが連続して形成された状態にあるので、図11 (d) に示すように個々のパッケージに切り落とせば、図10に示す示した本実施形態の薄型パッケージが完成する。

【0060】そして、かかる構造の半導体パッケージをフェースダウンで積層して図9に示す半導体装置を実現する。

【0061】本実施形態の積層構造は、パッケージとして強度が弱い部分を補うために、上下段のパッケージをずらして積層する。すなわち、上下間の所定の同電位のピン（例えばCu配線層61にAuメッキを施したパッド）は、ずらした状態でそれぞれ上下に接続する。このピン間の接続は、薄型シリコンチップ13の外側へ導出されたCu配線層61の接続用ランド61aに、例えば半田などの導電体63を設けて行う。

【0062】本実施形態のような積層構造では、上記第1実施形態の積層構造のようにミラー対象の2種のパッケージを準備する必要がなくなる。

【0063】〔第3実施形態〕図12 (a), (b) は、本発明の第3実施形態に係る半導体装置の構造を示す図であり、同図 (a) はその積層断面図、同図 (b) は側面図である。

【0064】本実施形態の半導体装置にスタック搭載する半導体パッケージは、上記第2実施形態と同様に、Cu配線層61を有するインターポーラ60と薄型シリコンチップ13の電極部とが異方性導電膜62を用いてフリップチップ構造で接続されている。さらに、インターポーラ60のCu配線層61がシリコンチップ13の外側へ導出されて、アウターリード61bを構成している。

【0065】本実施形態の積層構造も、パッケージとして強度が弱い部分を補うために、上下段のパッケージをずらして積層する。その結果、図12 (b) に示すように、上下段のパッケージからそれぞれ導出されたアウターリード61bが、実装基板64上にそれぞれずれて実装される。

【0066】本実施形態のような積層構造でも、上記第1実施形態の積層構造のようにミラー対象の2種のパッ

ケージを準備する必要がなくなる。

【0067】なお、本発明は図示の実施形態に限定されず種々の変形が可能である。その変形例として、例えば次のようなものがある。

【0068】(1) 第2実施形態の構造の半導体パッケージ（図10）を用いて第1実施形態の積層構造、つまり薄型パッケージ表面を表裏反対にして積層し、所定の電極をそれぞれ電気的に接続した構造を実現することも可能である。

10 〔0069〕(2) 第1実施形態の構造の半導体パッケージ（図2）を用いて第2実施形態の積層構造、つまりパッケージの位置を平面方向にずらして積層し、所定の電極をそれぞれ電気的に接続した構造を実現することも可能である。

【0070】なお、これらの変形例、及び上記第2と第3実施形態において、上記第1実施形態と同様に（図5参照）電気的に接続しない予定の電極に対応したCu配線層を、積層前にパッケージの状態で切断することにより、チップ選択を行う。

20 〔0071〕

【発明の効果】以上詳細に説明したように、請求項1、請求項2、請求項3及び請求項7記載に係る発明である半導体装置によれば、薄型の半導体パッケージを実装基板上に複数個積層し、その所定の電極をそれぞれ上下段の半導体パッケージ間で導電体にて接続したので、薄型の半導体パッケージの多段積層を好適に行うことができ、著しく集積度が向上する。本発明を例えばデジタルカメラのメディアカードに適用すれば、小型であってもメモリ容量の大きいメディアカードが実現できる。

30 〔0072〕請求項4に係る発明によれば、請求項1乃至請求項3記載の発明において、各半導体パッケージは、薄型シリコンチップ表面を表裏反対にして積層し、所定の電極をそれぞれ電気的に接続したので、薄型の半導体パッケージとして弱い部分を同一投影面上に重ねることなく積層することができる。これにより、積層した状態での強度が増し、曲げ方向の荷重に対してパッケージの弱い部分の補強を行うことが可能になり、パッケージ割れを防止することができる。

〔0073〕請求項5に係る発明によれば、請求項1乃至請求項3記載の発明において、各半導体パッケージは、位置を平面方向にずらして積層し、所定の電極をそれぞれ電気的に接続したので、上記請求項4に係る発明と同等の効果を奏するほか、上記請求項4に係る発明に比べて、準備するパッケージの種類を少なくすること可能である。

〔0074〕請求項6に係る発明によれば、請求項1乃至請求項5記載の発明において、半導体パッケージは、電気的に接続しない電極に対応した配線層を、積層前にパッケージの状態で切断するようにしたので、積層した半導体パッケージのチップ選択の配線を行うことが可能

11

になり、積層した薄型シリコンチップを独立して動作することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の断面構造図である。

【図2】図1の半導体装置にスタック搭載された半導体パッケージの単体の断面構造図である。

【図3】第1実施形態の半導体パッケージの積層状態を説明するための図である。

【図4】第1実施形態の半導体パッケージにおける曲げ荷重に弱い部分を示す図である。

【図5】第1実施形態の半導体パッケージにおいてシリコンチップのアドレスを選択するための構造を示す図である。

【図6】薄型シリコンチップの製造方法を示す工程図である。

【図7】図6の続きの工程図である。

【図8】第1実施形態の薄型パッケージの製造方法を示す工程図である。

【図9】本発明の第2実施形態に係る半導体装置の断面

10

構造図である。

【図10】図9の半導体装置にスタック搭載された半導体パッケージの単体の断面構造図である。

【図11】第2実施形態の薄型パッケージの製造方法を示す工程図である。

【図12】本発明の第3実施形態に係る半導体装置の構造を示す図である。

【図13】従来の半導体パッケージを積層した半導体装置の断面構造図である。

【図14】特願平10-63135に開示された半導体装置の概略断面構成図である。

【符号の説明】

- 11 絶縁性樹脂フィルム
- 11a デバイスホール
- 11b 接着剤
- 12 Cu配線層
- 12a インナーリード
- 13 シリコンチップ
- 14 封止樹脂層
- 15 封止樹脂層
- 15a 導電性接着剤
- 16 実装基盤
- 17 実装配線
- 201
- 202
- 203
- 204
- 205
- 206
- 207
- 208
- 209
- 210
- 211
- 212
- 213
- 214
- 215
- 216
- 217
- 218
- 219
- 220
- 221
- 222
- 223
- 224
- 225
- 226
- 227
- 228
- 229
- 230
- 231
- 232
- 233
- 234
- 235
- 236
- 237
- 238
- 239
- 240
- 241
- 242
- 243
- 244
- 245
- 246
- 247
- 248
- 249
- 250
- 251
- 252
- 253
- 254
- 255
- 256
- 257
- 258
- 259
- 260
- 261
- 262
- 263
- 264
- 265
- 266
- 267
- 268
- 269
- 270
- 271
- 272
- 273
- 274
- 275
- 276
- 277
- 278
- 279
- 280
- 281
- 282
- 283
- 284
- 285
- 286
- 287
- 288
- 289
- 290
- 291
- 292
- 293
- 294
- 295
- 296
- 297
- 298
- 299
- 300
- 301
- 302
- 303
- 304
- 305
- 306
- 307
- 308
- 309
- 310
- 311
- 312
- 313
- 314
- 315
- 316
- 317
- 318
- 319
- 320
- 321
- 322
- 323
- 324
- 325
- 326
- 327
- 328
- 329
- 330
- 331
- 332
- 333
- 334
- 335
- 336
- 337
- 338
- 339
- 340
- 341
- 342
- 343
- 344
- 345
- 346
- 347
- 348
- 349
- 350
- 351
- 352
- 353
- 354
- 355
- 356
- 357
- 358
- 359
- 360
- 361
- 362
- 363
- 364
- 365
- 366
- 367
- 368
- 369
- 370
- 371
- 372
- 373
- 374
- 375
- 376
- 377
- 378
- 379
- 380
- 381
- 382
- 383
- 384
- 385
- 386
- 387
- 388
- 389
- 390
- 391
- 392
- 393
- 394
- 395
- 396
- 397
- 398
- 399
- 400
- 401
- 402
- 403
- 404
- 405
- 406
- 407
- 408
- 409
- 410
- 411
- 412
- 413
- 414
- 415
- 416
- 417
- 418
- 419
- 420
- 421
- 422
- 423
- 424
- 425
- 426
- 427
- 428
- 429
- 430
- 431
- 432
- 433
- 434
- 435
- 436
- 437
- 438
- 439
- 440
- 441
- 442
- 443
- 444
- 445
- 446
- 447
- 448
- 449
- 450
- 451
- 452
- 453
- 454
- 455
- 456
- 457
- 458
- 459
- 460
- 461
- 462
- 463
- 464
- 465
- 466
- 467
- 468
- 469
- 470
- 471
- 472
- 473
- 474
- 475
- 476
- 477
- 478
- 479
- 480
- 481
- 482
- 483
- 484
- 485
- 486
- 487
- 488
- 489
- 490
- 491
- 492
- 493
- 494
- 495
- 496
- 497
- 498
- 499
- 500
- 501
- 502
- 503
- 504
- 505
- 506
- 507
- 508
- 509
- 510
- 511
- 512
- 513
- 514
- 515
- 516
- 517
- 518
- 519
- 520
- 521
- 522
- 523
- 524
- 525
- 526
- 527
- 528
- 529
- 530
- 531
- 532
- 533
- 534
- 535
- 536
- 537
- 538
- 539
- 540
- 541
- 542
- 543
- 544
- 545
- 546
- 547
- 548
- 549
- 550
- 551
- 552
- 553
- 554
- 555
- 556
- 557
- 558
- 559
- 560
- 561
- 562
- 563
- 564
- 565
- 566
- 567
- 568
- 569
- 570
- 571
- 572
- 573
- 574
- 575
- 576
- 577
- 578
- 579
- 580
- 581
- 582
- 583
- 584
- 585
- 586
- 587
- 588
- 589
- 590
- 591
- 592
- 593
- 594
- 595
- 596
- 597
- 598
- 599
- 600
- 601
- 602
- 603
- 604
- 605
- 606
- 607
- 608
- 609
- 610
- 611
- 612
- 613
- 614
- 615
- 616
- 617
- 618
- 619
- 620
- 621
- 622
- 623
- 624
- 625
- 626
- 627
- 628
- 629
- 630
- 631
- 632
- 633
- 634
- 635
- 636
- 637
- 638
- 639
- 640
- 641
- 642
- 643
- 644
- 645
- 646
- 647
- 648
- 649
- 650
- 651
- 652
- 653
- 654
- 655
- 656
- 657
- 658
- 659
- 660
- 661
- 662
- 663
- 664
- 665
- 666
- 667
- 668
- 669
- 670
- 671
- 672
- 673
- 674
- 675
- 676
- 677
- 678
- 679
- 680
- 681
- 682
- 683
- 684
- 685
- 686
- 687
- 688
- 689
- 690
- 691
- 692
- 693
- 694
- 695
- 696
- 697
- 698
- 699
- 700
- 701
- 702
- 703
- 704
- 705
- 706
- 707
- 708
- 709
- 710
- 711
- 712
- 713
- 714
- 715
- 716
- 717
- 718
- 719
- 720
- 721
- 722
- 723
- 724
- 725
- 726
- 727
- 728
- 729
- 730
- 731
- 732
- 733
- 734
- 735
- 736
- 737
- 738
- 739
- 740
- 741
- 742
- 743
- 744
- 745
- 746
- 747
- 748
- 749
- 750
- 751
- 752
- 753
- 754
- 755
- 756
- 757
- 758
- 759
- 760
- 761
- 762
- 763
- 764
- 765
- 766
- 767
- 768
- 769
- 770
- 771
- 772
- 773
- 774
- 775
- 776
- 777
- 778
- 779
- 780
- 781
- 782
- 783
- 784
- 785
- 786
- 787
- 788
- 789
- 790
- 791
- 792
- 793
- 794
- 795
- 796
- 797
- 798
- 799
- 800
- 801
- 802
- 803
- 804
- 805
- 806
- 807
- 808
- 809
- 810
- 811
- 812
- 813
- 814
- 815
- 816
- 817
- 818
- 819
- 820
- 821
- 822
- 823
- 824
- 825
- 826
- 827
- 828
- 829
- 830
- 831
- 832
- 833
- 834
- 835
- 836
- 837
- 838
- 839
- 840
- 841
- 842
- 843
- 844
- 845
- 846
- 847
- 848
- 849
- 850
- 851
- 852
- 853
- 854
- 855
- 856
- 857
- 858
- 859
- 860
- 861
- 862
- 863
- 864
- 865
- 866
- 867
- 868
- 869
- 870
- 871
- 872
- 873
- 874
- 875
- 876
- 877
- 878
- 879
- 880
- 881
- 882
- 883
- 884
- 885
- 886
- 887
- 888
- 889
- 890
- 891
- 892
- 893
- 894
- 895
- 896
- 897
- 898
- 899
- 900
- 901
- 902
- 903
- 904
- 905
- 906
- 907
- 908
- 909
- 910
- 911
- 912
- 913
- 914
- 915
- 916
- 917
- 918
- 919
- 920
- 921
- 922
- 923
- 924
- 925
- 926
- 927
- 928
- 929
- 930
- 931
- 932
- 933
- 934
- 935
- 936
- 937
- 938
- 939
- 940
- 941
- 942
- 943
- 944
- 945
- 946
- 947
- 948
- 949
- 950
- 951
- 952
- 953
- 954
- 955
- 956
- 957
- 958
- 959
- 960
- 961
- 962
- 963
- 964
- 965
- 966
- 967
- 968
- 969
- 970
- 971
- 972
- 973
- 974
- 975
- 976
- 977
- 978
- 979
- 980
- 981
- 982
- 983
- 984
- 985
- 986
- 987
- 988
- 989
- 990
- 991
- 992
- 993
- 994
- 995
- 996
- 997
- 998
- 999
- 1000

12

構造図である。

【図10】図9の半導体装置にスタック搭載された半導体パッケージの単体の断面構造図である。

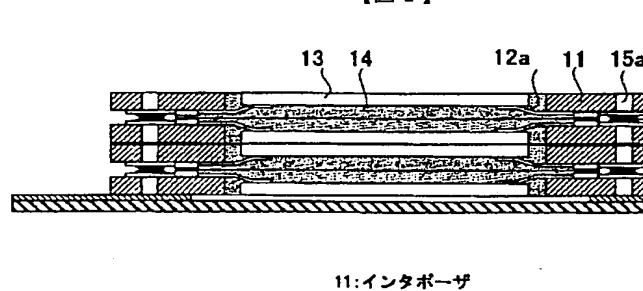
【図11】第2実施形態の薄型パッケージの製造方法を示す工程図である。

【図12】本発明の第3実施形態に係る半導体装置の構造を示す図である。

【図13】従来の半導体パッケージを積層した半導体装置の断面構造図である。

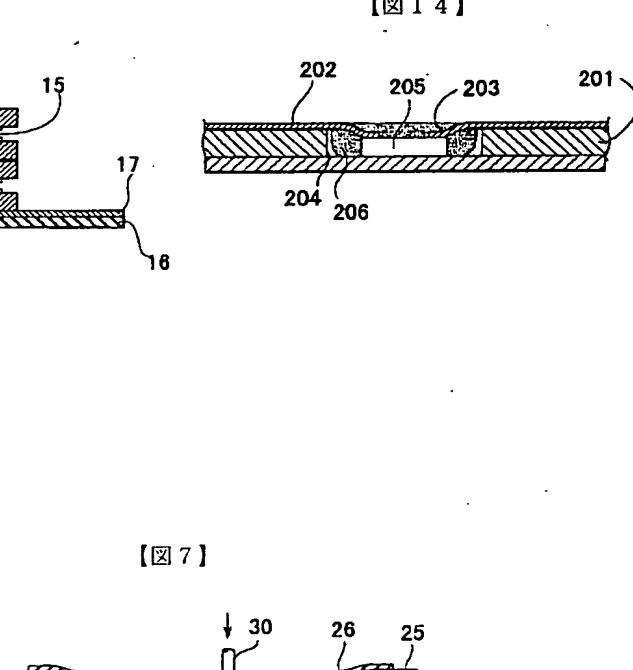
【図14】特願平10-63135に開示された半導体装置の概略断面構成図である。

【図1】



11a: デバイスホール
11b: 絶縁性接着剤

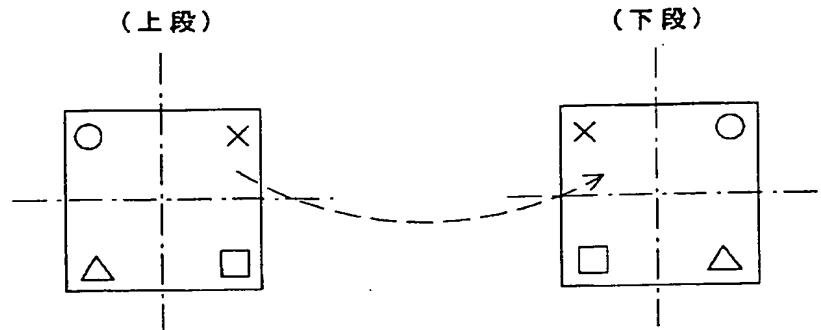
(d)



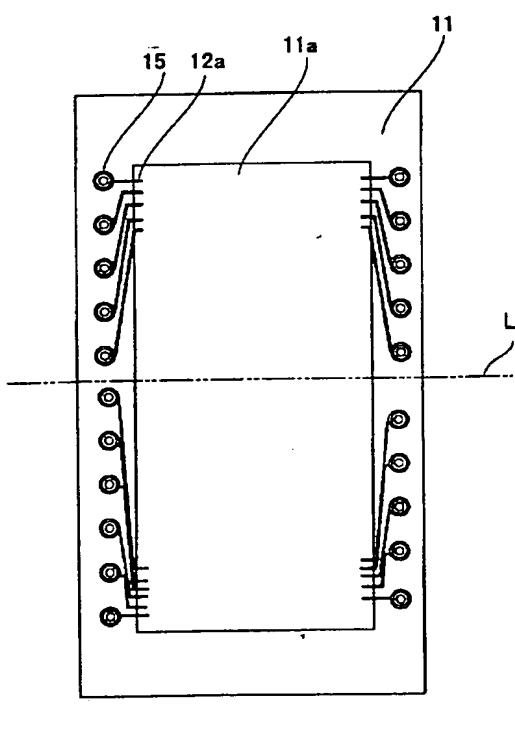
【図2】

【図7】

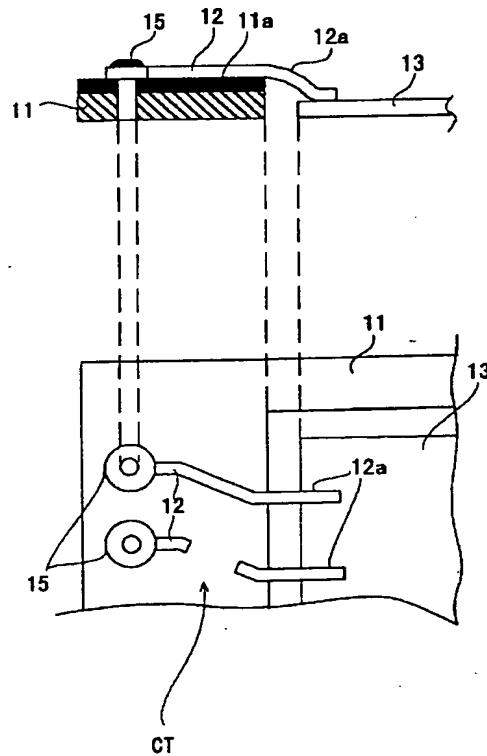
【図3】



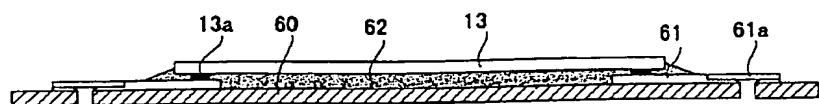
【図4】



【図5】

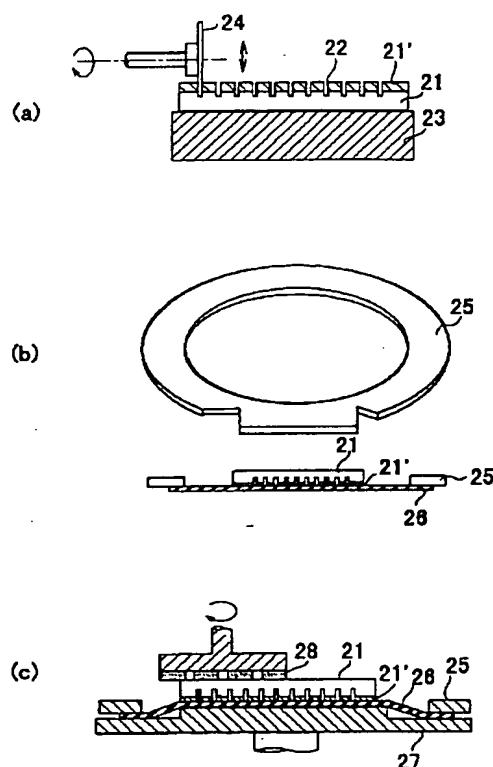


【図10】

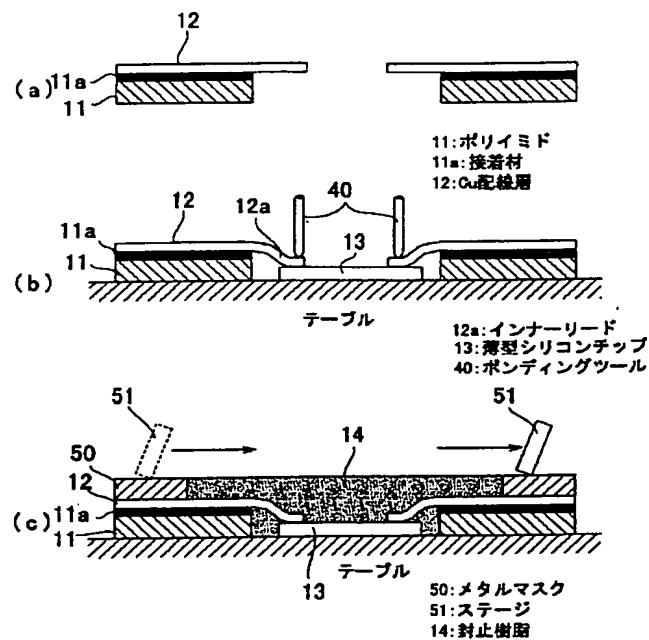


13a:パンブ
61:Cu配線層
61a:接続用ランド

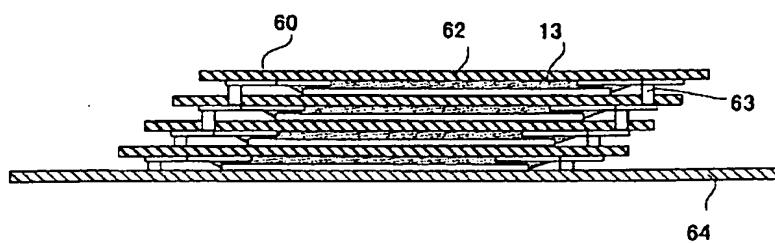
【図 6】



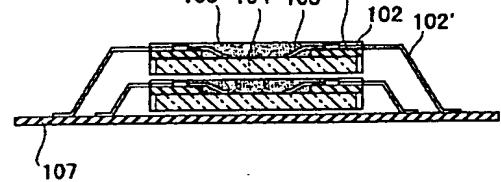
【図 8】



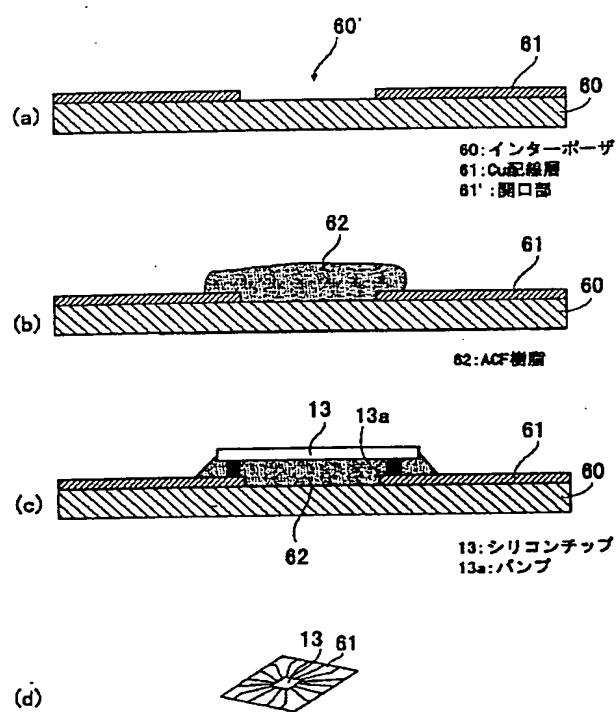
【図 9】



13: 薄型シリコンチップ
60: インターポーラ
62: 封止樹脂
63: 导電体
64: 実装基盤



【図11】



【図12】

